

Récepteur à échantillonnage RF reconfigurable pour applications multi-standards

Anis Latiri ⁽¹⁾, Loïc Joet ⁽²⁾, Patricia Desgreys ⁽¹⁾ et Patrick Loumeau ⁽¹⁾

⁽¹⁾ LTCI – CNRS UMR 5141

Ecole Nationale Supérieure des Télécommunications de Paris

⁽²⁾ ST Microelectronics Crolles R&D

E-mail : . Anis.Latiri@enst.fr

Résumé

Nous présentons dans cet article l'architecture d'un récepteur basé sur l'échantillonnage en bande RF. La translation vers les basses fréquences est effectuée en sous-échantillonnant le signal d'entrée. La fréquence intermédiaire dépend alors directement du choix de la fréquence d'échantillonnage par rapport à la position initiale du signal RF. Un filtrage FIR anti-alias précédant l'opération d'échantillonnage est également réalisé au niveau du circuit. Le filtrage est obtenu par conversion en courant et intégration du signal d'entrée RF. Tout le traitement est effectué sur deux voies en quadrature et permet ainsi d'implémenter une réjection d'image. La sélectivité du récepteur peut être améliorée par le rajout d'un filtrage temps discret récursif (sans rajout de complexité). Un étage final de filtrage décimation permet ensuite de réduire le taux d'échantillonnage et limiter ainsi la consommation du convertisseur A/N en aval. La reconfigurabilité de l'ensemble est obtenue en jouant sur des paramètres tels que la fréquence d'échantillonnage, le nombre et les valeurs des capacités utilisées. Il est ainsi possible d'adapter le récepteur à plusieurs standards de communication de façon assez simple. Notons enfin qu'il est possible de penser à une technique de traitement de signal permettant d'élargir les zéros du filtre FIR anti-alias et d'adresser ainsi des standards larges bandes tel que le W-LAN

1. Introduction

Le développement rapide des communications sans fil et l'émergence de nouveaux standards ont sollicité la demande pour des récepteurs radio multi-modes à faible coût. Pour des applications mobiles, un haut niveau d'intégration, une grande flexibilité et une faible consommation sont les principales données à respecter. Parmi les approches possibles pour le multi-standards, on retrouve la solution *Software Defined Radio* (SDR), qui consiste à concevoir une chaîne de réception qui soit totalement reconfigurable par logiciel.

Au passage d'un schéma de réception radio classique vers une architecture SDR, la majorité du traitement du signal effectué au niveau de la chaîne de réception est

translatée en numérique, ce qui impose des contraintes beaucoup plus sévères sur le convertisseur ADC (large bande, dynamique et taux d'échantillonnage assez élevés). La consommation excessive qui en résulte rend impossible l'implémentation du SDR dans les téléphones mobiles.

Des techniques de traitement du signal analogique en temps discret (basées notamment sur les capacités commutées) peuvent être utilisées ici afin d'alléger les contraintes imposées sur l'ADC. De plus, ce type de traitement présente l'avantage d'être flexible et parfaitement reprogrammable [1,3,6].

D'un autre côté, l'évolution de la technologie sub-micronique permet désormais d'échantillonner directement les signaux en bande RF. En combinant l'échantillonnage RF au traitement du signal analogique temps discret, il est alors possible d'obtenir un récepteur radio adapté au multi-standards et à la software radio de façon plus générale. Dans cette perspective, le signal RF reçu à l'antenne serait amplifié, échantillonné puis traité de façon analogique temps discret, avant d'être finalement numérisé par l'ADC. Notons au passage que les performances atteignables par échantillonnage en bande RF dépendent directement du bruit de phase (ou jitter) de l'horloge utilisée [2].

La partie 2 détaille l'architecture du récepteur à échantillonnage RF. La partie 3 traite de la reconfigurabilité du traitement de signal effectué. Puis, la partie 4 expose l'idée du filtrage anti-alias à zéros élargis. Enfin, quelques conclusions et propositions sont données à titre d'exemple.

2. Architecture du récepteur

L'architecture du récepteur à échantillonnage en bande RF est représentée Figure 1. Le récepteur est composé d'un filtre RF, d'un LNTA, amplificateur à transconductance faible bruit, d'un échantillonneur bloqueur, d'un filtre à temps discret et d'un convertisseur analogique numérique.

Le signal RF est tout d'abord filtré puis amplifié et converti en courant. Il est ensuite intégré au niveau du circuit échantillonneur bloqueur S&H. La conversion en mode courant et l'intégration du signal RF permettent de réaliser un filtrage anti-repliement [3] dont nous détaillerons le principe par la suite. La translation en basses fréquences est réalisée par sous-échantillonnage du signal d'entrée RF et non plus à l'aide de mélangeurs.

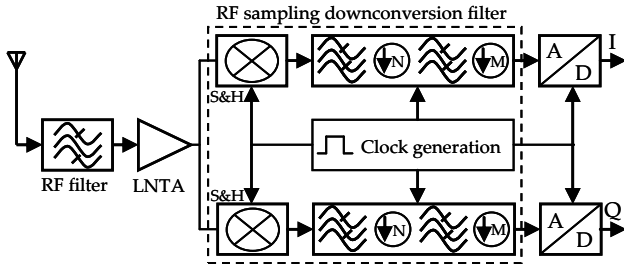


Figure 1. Architecture du récepteur à échantillonnage RF

Le filtre temps discret intercalé entre l'échantillonneur et le convertisseur réalise essentiellement une fonction de décimation, précédée du filtrage requis afin d'éviter tout repliement de spectre. Le taux d'échantillonnage du signal en FI est par suite diminué, permettant ainsi de réduire la consommation du convertisseur analogique numérique.

2.1. Echantillonnage passe bande

L'extension du théorème de Shannon à un signal passe bande énonce qu'il est possible de reconstruire le signal si le taux d'échantillonnage utilisé est au moins égal au double de la bande passante BW [4]. Le signal utile est alors intentionnellement replié et se retrouve traduit à une fréquence intermédiaire F_{IF} . La fréquence d'échantillonnage F_S est reliée à la fréquence de la porteuse F_C et à F_{IF} par :

$$F_{IF} = \begin{cases} \text{rem}(F_C, F_S), & \text{si } \left\lfloor \frac{F_C}{F_S/2} \right\rfloor \text{ pair} \\ F_S - \text{rem}(F_C, F_S), & \text{si } \left\lfloor \frac{F_C}{F_S/2} \right\rfloor \text{ impair} \end{cases}$$

où $\text{rem}(a,b)$ est le reste de la division de a par b , et $\lfloor x \rfloor$ est le plus grand entier inférieur ou égal à x . Selon la relation entre F_S et F_C , on retrouve donc en F_{IF} soit la partie positive soit la partie négative du spectre du signal d'origine.

Afin d'éviter le repliement du spectre sur lui-même, les deux conditions suivantes doivent être respectées :

$$0 < F_{IF} - \frac{BW}{2} \quad \text{et} \quad F_{IF} + \frac{BW}{2} < \frac{F_S}{2}$$

L'inconvénient majeur de l'échantillonnage passe bande est le repliement du bruit et des éventuelles interférences en F_{IF} au même titre que le signal utile. Ce repliement est d'autant plus important que la fréquence d'échantillonnage F_S est choisie petite. Effectuer un filtrage passe bande avant l'échantillonnage permettrait d'éviter le problème de repliement, la fréquence des alias étant donnée par :

$$F_{ALIAS} = F_C \pm k \cdot F_S \quad k = 1, 2, 3, \dots$$

2.2. Filtrage anti-repliement

Afin de montrer le principe du filtrage anti-repliement par passage en mode courant et intégration, nous utiliserons le schéma simplifié Figure 2.

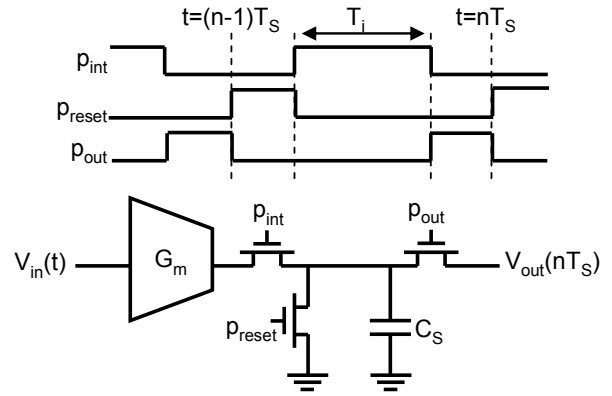


Figure 2. Echantillonnage en mode courant

Le courant en sortie de la transconductance est intégré au niveau de la capacité C_S durant un temps T_i . La lecture de la charge accumulée s'effectue ensuite périodiquement aux instants $t=nT_S$. La capacité est déchargée durant la phase P_{RESET} et un nouveau cycle d'intégration commence.

L'expression de la tension $V_{OUT}(nT_S)$ est donné par :

$$V_{OUT}(t = nT_S) = \frac{G_m}{C_S} \int_{nT_S - T_i}^{nT_S} V_{in}(\tau) d\tau$$

Le signal d'entrée à temps continu subit donc un filtrage (par intégration du courant) et est ensuite échantillonné à la fréquence F_S . L'intégration durant une durée T_i résulte en un filtrage passe-bas de type $\text{sinc} = \sin(x)/x$ exprimé par [5]:

$$H_{\text{sinc}}(f) = \frac{G_m}{C_S} \cdot \frac{\sin(\pi f T_i)}{\pi f}$$

Il est possible de traduire en fréquence la fonction de filtrage $H_{\text{SINC}}(f)$ [6]. On utilise pour cela le circuit donné en Figure 3. On utilise à présent un LNTA différentiel. Le courant est intégré durant la période T_i tantôt positivement et tantôt négativement selon une fréquence F_C égale à celle de la porteuse.

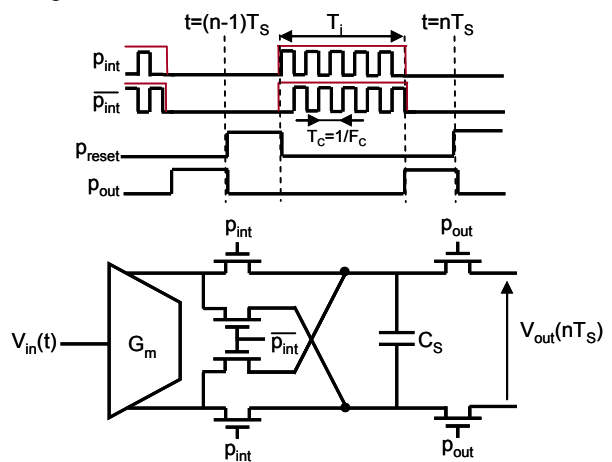


Figure 3. Intégration du courant sur deux voies

Le filtrage effectué devient alors le suivant :

$$H_{\text{sinc}}(f) = \frac{G_m}{C_S} \cdot \frac{\sin(\pi(f - F_C)T_S)}{\pi(f - F_C)}$$

En effet, on effectue ainsi une transformation du filtrage passe-bas précédant en un filtrage passe-bande. La réponse en fréquence du filtrage obtenu est représentée Figure 4. On constate que le filtre laisse passer le signal centré sur F_C et atténue tous les alias situés aux fréquences F_{ALIAS} , ce qui permet idéalement d'éviter leur repliement en F_{IF} suite à l'échantillonnage passe bande.

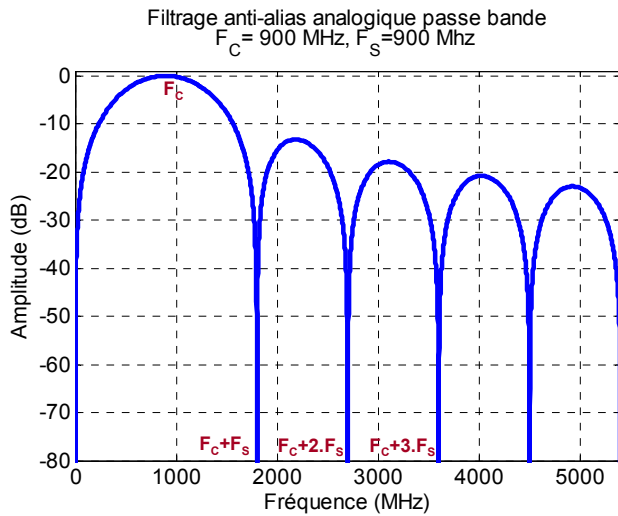


Figure 4. Exemple de filtrage anti-alias passe bande

2.3. Décimation et filtrage FIR temps discret

La diminution du taux d'échantillonnage est nécessaire afin de réduire la consommation du convertisseur A/N utilisé en fin de la chaîne de réception. Une décimation par N est obtenue en utilisant un banc de N capacités C_S comme le montre Figure 5 [7].

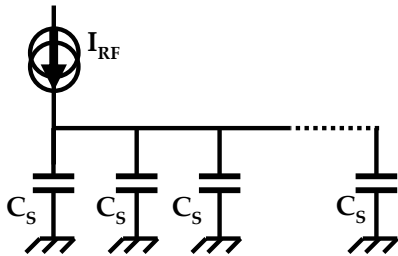


Figure 5. Banc de N capacités C_S

A chaque coup d'horloge, le courant est intégré dans l'une des N capacités C_S et l'opération d'intégration continue ainsi de façon cyclique. La charge accumulée au niveau du banc de capacités est récupérée périodiquement (à une fréquence F_S/N) et transférée à la sortie.

L'opération de décimation étant elle aussi accompagnée d'un repliement spectral, il faut prévoir un filtrage anti-alias au préalable afin d'empêcher le repliement des composantes situées à $F_{ALIAS} = F_{IF} + k.F_S/N$ ($k=1,2,\dots$) par-dessus le signal utile. Ce filtrage est réalisé naturellement lors de la lecture de la charge en fin de cycle et l'opération de filtrage peut s'écrire de la façon suivante :

$$w = \sum_{i=0}^{N-1} u_i \quad \frac{W(z)}{U(z)} = \sum_{j=0}^{N-1} z^{-j} \Big|_{z = e^{j\omega T_S}}$$

où u_i est la charge intégrée au niveau de la $i^{\text{ème}}$ capacité et w est la charge totale accumulée en fin de cycle de lecture. La réponse fréquentielle du filtre est donnée Figure 6.

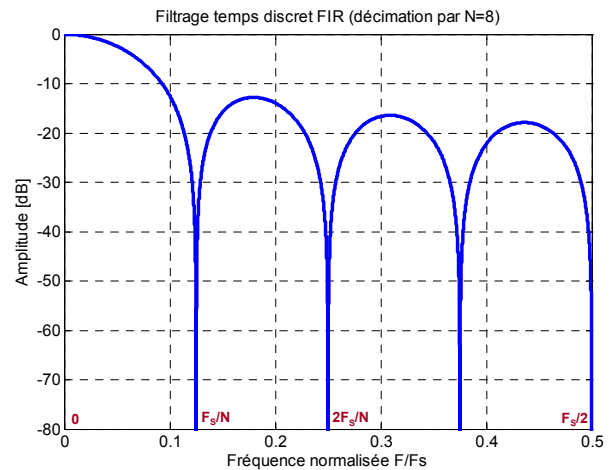


Figure 6. Filtrage anti-alias précédant la décimation

Il est possible d'améliorer le filtrage effectué par une simple modification du schéma électrique Figure 5 et ainsi réaliser une partie du filtrage canal nécessaire.

2.4. Amélioration de la sélectivité

Le schéma électrique simplifié présenté Figure 7 est une modification du montage précédent. La capacité C_H rajoutée intègre le courant d'entrée de façon continue, parallèlement aux capacités C_S [8].

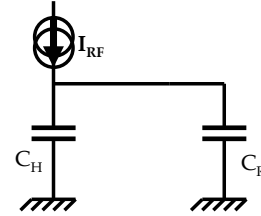


Figure 7. Rajout de la capacité histoire

Il se crée ainsi un effet d'historique, puisque la capacité C_H reporte à chaque nouveau cycle d'intégration, une fraction de la charge accumulée au cours du cycle précédent. Le filtrage réalisé s'exprime par :

$$s_j = a \cdot s_{j-1} + w_j \quad \frac{S(z)}{W(z)} = \frac{1}{1 - a \cdot z^{-1}} \Big|_{z = e^{j\omega NT_S}}$$

où w_j est la charge en entrée et s_j est la charge totale accumulée au niveau de l'ensemble $\{C_H, N \cdot C_S\}$ au bout de N cycles d'horloge. Il s'agit bien d'un filtrage récursif à temps-discret opérant à une fréquence F_S/N et possédant un pôle simple fixé par la valeur de $a = C_H / (C_H + C_S)$. Le filtrage obtenu peut servir en partie à la sélection du canal. Sa réponse fréquentielle est donnée Figure 8.

3. Reconfigurabilité du récepteur

Le traitement effectué tout le long de la chaîne de réception est bien adapté aux applications multi-standards de par sa nature reconfigurable. Pour passer d'un standard à

un autre, il suffit d'adapter la fréquence d'échantillonnage F_S à celle de la porteuse F_C . Le filtrage anti-alias par passage en mode courant est totalement défini par la période d'intégration T_I et celle d'échantillonnage T_S . Le nombre N de capacités détermine le taux de décimation et le rapport entre C_H et C_S règle le filtrage IIR effectué.

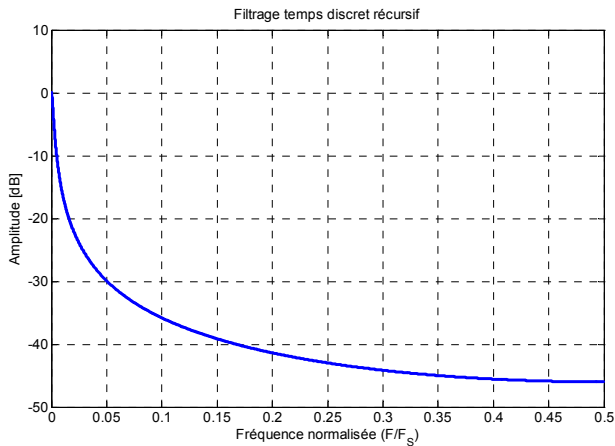


Figure 8. Filtrage IIR par rajout de la capacité C_H

Connaissant les spécifications des standards à adopter (notamment en terme de niveaux des bloqueurs), il est alors possible de configurer le traitement effectué au niveau de la chaîne, de façon logicielle, afin de s'adapter à chacun de ces standards.

4. Technique de filtrage à zéros élargis

Le filtrage anti-alias par passage en mode courant consiste à laisser passer le signal centré à F_C et à atténuer les alias situés à $F_{ALIAS} = F_C \pm k.F_S$ en imposant des zéros de transmission au niveau de ces fréquences.

Dans le cas d'un standard large bande tel que le WLAN, les zéros de transmission ne sont plus suffisamment larges pour atténuer convenablement les alias. Le filtrage anti-alias n'est plus alors aussi performant que dans le cas d'un standard à bande étroite.

Dans cette optique, il est tout à fait possible d'imaginer un filtrage anti-alias où les zéros de transmission seraient d'une largeur beaucoup plus importante (égale à la largeur de la bande passante du standard). Les Figures 9 et 10 sont un exemple d'un tel filtrage. Cette opération, bien que possible du point de vue traitement de signal, reste pour l'instant assez difficile à implémenter. Elle nécessite, en effet, la génération de signaux de commande très complexes ou l'utilisation de plusieurs voies en parallèle. Une étude à ce sujet est en cours de réalisation.

5. Conclusion

L'architecture d'un récepteur à échantillonnage RF a été présentée dans cet article. La reconfigurabilité du traitement effectué s'obtient facilement en agissant sur des paramètres tels que la fréquence d'échantillonnage, la forme des signaux d'horloge, le nombre et la valeur des capacités. Plusieurs voies de recherche restent encore à explorer au sujet de ces récepteurs. Réaliser des nouvelles formes de filtrage beaucoup plus performant ou mieux adapté aux

standards de communication à large bande, en sont des exemples très intéressants.

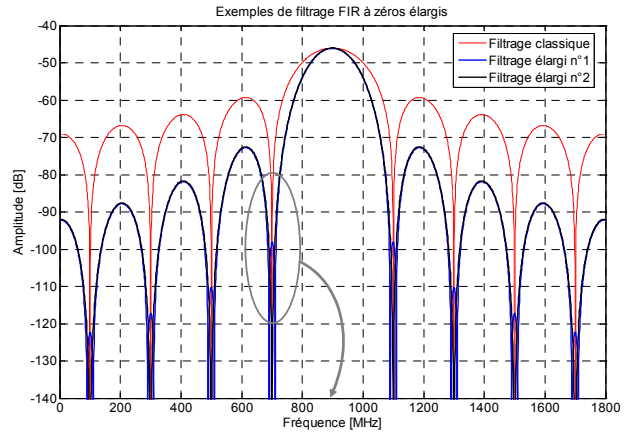


Figure 9. Filtrage anti-alias pour standards à large bande

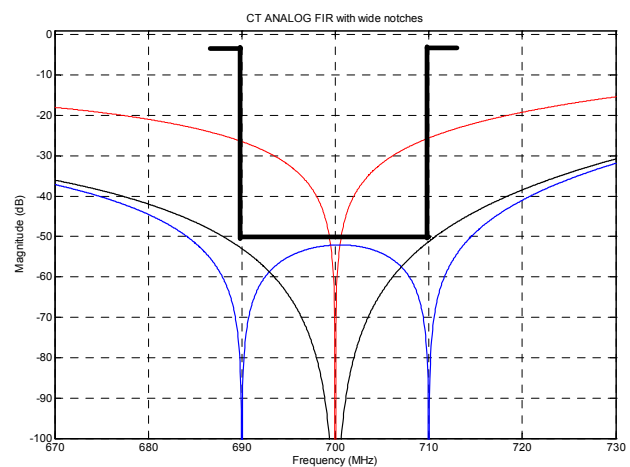


Figure 10. Filtrage à zéros élargis (zoom)

Références

- [1] D. Jakonis, K. Folkesson, J. Dabrowski, P. Eriksson, C. Svensson, "A 2.4-GHz RF sampling receiver front-end in 0.18- μ m CMOS", IEEE Journal of Solid-State Circuits, Volume 40, Issue 6, June 2005 Pages :1265 - 1277
- [2] A. Latiri, M. Ben Romdhane, P. Desgreys, P. Loumeau, « Impact du bruit de phase sur les performances de l'échantillonnage RF », TAISA 2005, Colloque sur le traitement analogique de l'information du signal et des applications, octobre 2005.
- [3] R.B. Staszewski, K. Muhammad, D. Leipold, C.M. Hung, Y.C. Ho, J.L. Wallberg, C. Fernando, K.J. Maggio, R. Staszewski, T. Jung, J. Koh, S. John, I.Y. Deng, V. Sadra, O. Moreira-Tamayo, V. Mayega, P.T. Balsara, "All-Digital TX Frequency Synthesizer and Discrete-Time Receiver for Bluetooth Radio in 130-nm CMOS", IEEE Journal of Solid State Circuits, VOL. 39, NO. 12, Dec 2004.
- [4] Rodney G. Vaughan, Neil L. Scott, D. Rod White, "The Theory of Bandpass Sampling", IEEE Transactions on Signal Processing, Vol. 39, N° 9, pp. 1973-1984, Sep. 1991
- [5] G. Xu; J. Yuan, "Performance analysis of general charge sampling", IEEE Transactions on Circuits and Systems II: Express Briefs, Vol. 52, Issue 2, pp. 107 - 111, Feb. 2005
- [6] S. Karvonen, T. Riley, J. Kostamoavaara "A CMOS Quadrature Charge-Domain Sampling Circuit with 66-dB SFDR up to 100 MHz", IEEE Transactions on Circuits and Systems I, Regular Papers, Volume 52, N°2, pp. 292-304, Feb 2005.
- [7] S. Lindfors, A. Pärssinen, K.A.I Halonen, "A 3-V 230-MHz CMOS Decimation Sub-sampler", IEEE Transactions on Circuits and Systems II, Analog and Digital signal Processing, VOL.50, NO. 3, Mars 2003.
- [8] R.B. Staszewski, K. Muhammad, K.J. Maggio, D. Leipold, "Direct Radio Frequency (RF) Sampling with Recursive Filtering Method", US 2003/0035499 A1, Feb003.